#### PATENT ABSTRACTS OF JAPAN

(11)Publication number:

09-261036

(43) Date of publication of application: 03.10.1997

(51)Int.CI.

H03K 19/0185

(21)Application number: 08-061091

(71)Applicant: TOSHIBA CORP

(22)Date of filing:

18.03.1996

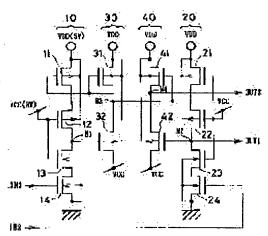
(72)Inventor: SUZUKI HIROAKI

TANAKA YASUNORI

### (54) LEVEL CONVERSION CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT (57) Abstract:

PROBLEM TO BE SOLVED: To suppress the increase of power consumption at a standstill time, to sufficiently improve driving performance and to operate at a high speed by providing first and second CMOS circuits and first and second intermediate circuits, so as to consist of only a MOS transistor in which the gate oxidized film breakdown strength on a level is lower than a high voltage power supply level.

SOLUTION: A CMOS circuit 10 consists of P-MOSs 11 and 12 serially connected between a 5V power supply and a node N1 and N-MOSs 13 and 14 serially connected between the node N1 and the ground. A CMOS circuit 20 is constituted of element constitution similar to the CMOS circuit 10 and on the other hand, an intermediate circuit 30 consists of P-MOS 31 connected to between the 5V power supply and a node N3 and applied with the output of an intermediate circuit 40 to its gate and P-MOS 32 connected to between the node N3 and the 3V power supply. Then all the MOS



transistors constituting these respective circuits 10 to 40 are provided with a characteristic in which allowable gate oxidized film breakdown strength is lower than 5V and higher than 3V.

#### **LEGAL STATUS**

[Date of request for examination]

07.09.2000

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

3258229

[Date of registration]

07.12.2001

[Number of appeal against examiner's decision

of rejection]

[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

9

(19)日本国特許庁 (JP) 邻

悍 炒 描(B2)

(11)格許登月 特許第3258229号

(P3258229)

(24)登録日 平成13年12月7日(2001.12.7)

H03K 19/00

(51) lpt (Q.)

数別的の

(45)発行日 平成14年2月18日(2002.2.18)

H03K 19/0185

101B

請求項の数8(全 14 頁)

(43)公開日 (22)出国日 (21)出願辞号 (65)公開番号 特権を対象 平成12年9月7日(2000.9.7) 平成9年10月3日(1997.10.3) 平成8年3月18日(1996.3.18) 特別年9-261036 存置平8-61091 (58) 関査した分野 (Int.Cl. , DB名) (74)代理人 (72) 発明者 (72) 発明者 (73)特許指者 000003078 存在日 H03K 19/0185 表原 **表**图 100083806 田中原规 **井理士 三好秀和** Ø - | ₹ 9-14 株式会社東芝 半導体システム技術セン 有件 好图 神疾川県川崎市幸区堀川町580番 1号 株式会社東芝 半導体システム技術セン 神疾川県川崎市帝区堀川町580番1号 女贞都将区芝油—丁目 1 番 1 号 **积以公主权力** (外3名)

(54) 【発明の名称】 アステ教製回路及び半事存業接回路

# (57)【特許請求の範囲】

のPチャネル型MOSトランジスタ及び前記第1のNラ 圧との間の版幅を有する入力信号が印加され、前記第2 して印加される第1のCMOS回路と、 ャネル型MOSトランジスタの各ゲートに低鶴圧が共通 タのゲートに削記高電圧よりも低い低電圧とグランド電 として破結する何記第1のPチャネル型MOSトランジ して機能する前記第2のNチャネル型MOSトランジス スタのゲートに第1の信号が印加され、ブルダウン用と Nチャネル型MOSトランジスタを有し、ブルアップ用 ナペラ型WOSトランジスタ、海びに飼飼路1の出力ノ 出力ノードとの間に直列接続された第1及び第2のPチ ードとグランドとの間に直列接続された第1及び第2の 【請求項1】 高電圧が印加される高電圧電源と第1の

前記高電圧電源と第2の出力ノードとの間に接続され前

印加される第4のPチャネル型MOS トランプスタを有 MOSトランジスタ、及び前記第2の出力ノードと低電 する第1の中間回路と、 CMOS回路の前記第1の出力ノードの砲位がゲートに 圧が印加される低電圧電源との間に接続され前記第1の 記第 1 の信号がゲートに印加される第 3 のPチャネル型

MOSトランジスタを有し、前記第3の出力ノードより され出力信号がゲートに印加される第6のPチャネル型 印加される第5のPチャネル型MOSトランジスタ、及 前記第1の信号を出力する第2の中間回路と、 び前部第3の出力ノードと前記版亀圧鶴源との間に接続 記第1の中間回路の第2の出力ノードの電位がゲートに 前記高臨圧臨源と第3の出力ノードとの間に接続され前

れた前記第7及び第8のPチャネル型MOSトランジス 前記高砲圧電源と第4の出力ノードとの間に直列接続さ

> 路とを備えたことを特徴とするレベル変換回路。 び前記第3のNチャネル型MOSトランジスタの各ゲー より前記出力信号として前記高電圧とグランド電圧の間 加され、前記第8のPチャネル型MOSトランジスタ及 ルダウン用として機能する前記第4のNチャネル型MO の版幅を有する信号を外部へ出力する第2のCMOS回 トに低砲圧が共通して印加され、前記第4の出力ノード Sトランジスタのゲートに前記入力信号の反転信号が印 中間回路の前記第2の出力ノードの館位が印加され、 Pチャネル型MOSトランジスタのゲートに前記第1の ジスタを有し、ブルアップ用として機能する前記第7の 列接続された第3及び第4のNチャネル型MOSトラン タ、並びに前記第4の出力ノードとグランドとの間に直

よりも大きく設定すると共に、 第4のNチャネル型MOSトランジスタの直列オン抵抗 型MOSトランジスタの直列オン抵抗は、前記第3及び のCMOS回路における前記第7及び第8のPチャネル ンジスタの直列オン抵抗よりも大きへ敷定し、前記第 2 ン抵抗は、前配第1及び第2のNチャネル型MOSトラ 1及び第2のPチャネル型MOSトランジスタの直列オ 【請求項2】 前記第1のCMOS回路における前記算

ランジスタのオン抵抗よりも大きく設定し、前記第2の 風1 記録のフスラ段歌回路。 のオン抵抗よりも大きく数定したことを特徴とする鯖求 中間回路における第5のPチャネル型MOSトランジス 削紀第1の中間回路における第3のPチャネル型MOS タのオン抵抗は第6のPチャネル型MOS トランジスタ トランジスタのオン抵抗は第4のPチャネル型MOSト

各ゲートに低電圧が共通して印加される第1のCMOS スタ及び何記第 1 のNチャネル型MOSトランジスタの 低い低電圧とグランド電圧との間の振幅を有する人力信 Nチャネル型MOSトランジスタを有し、ブルアップ用 出力ノードとの間に直列接続された第1及び第2のPチ 号が印加され、前記第2のPチャネル型MOSトランジ タのゲートに接続された入力ノードに前記高電圧よりも して概能する短記第2のNチャネル型MOSトランジス スタのゲートに第1の信号が印加され、ブルダウン用と として機能する前記第1のPFャネル型MOSトランジ ードとグランドとの間に直列接続された第1及び第2の ャネル型MOSトランジスタ、並びに前記第1の出力ノ 【精求項3】 高亀圧が印加される高亀圧電旗と第10

印加される第4のPチャネル型MOSトランジスタを有 する第1の中間回路と、 CMOS回路の前記第1の出力ノードの電位がゲートに 圧が印加される低電圧電源との間に接続され前記第1の MOSトランジスタ、及び前記第2の出力ノードと低電 記第 1 の信号がゲートに印加される第 3 のPチャネル型 前記高電圧電源と第2の出力ノードとの間に接続され前

前記高電圧電源と第3の出力ノードとの間に接続され前

前記第1の信号を出力する第2の中間回路と、 MOSトランジスタを有し、前記第3の出力ノードより 印加される第5のPチャネル型MOSトランジスタ、及 タ、並びに前記第4の出力ノードと前記入力ノードとの れた前記第7及び第8のPチャネル型MOSトランジス 前記高電圧電源と第4の出力ノードとの間に直列接続さ され出力信号がゲートに印加される第6のPチャネル型 び前記第3の出力ノードと前記低電圧電源との間に接続 記第1の中間回路の第2の出力ノードの電位がゲートに

2のCMOS回路とを備えたことを特徴とするアベク級 ランド電圧の間の振幅を有する信号を外部へ出力する第 4の出力ノードより前記出力信号として前記高電圧とグ 用として機能する前記第3のNチャネル型MOSトラン 第8のPチャネル型MOSトランジスタ及びフルダウン 路の前記第2の出力ノードの館位が印加され、且つ前記 ネル型MOSトランジスタのゲートに抵記第1の中間回 を祈し、フルアップ用として機能する抑記第7のPチャ 間に接続された第3のNチャネル型MOSトランジスタ ジスタの各ゲートに低塩圧が共通して印加され、前記第

出力ノードとの間に直列接続された第1及び第2のPチ び前記は1のNチャネル短MOSトランジスタの各ゲー 加され、前配第2のPチャネル型MOSトランジスタ及 **亀圧とグランド砲圧との間の版幅を有する入力供导が印** に接続された前記人力ノードに前記高格圧よりも低い低 る前記第1のNチャネル哲MOSトランジスタのソース する前記第1のPFャネル型MOSトランジスタのゲー 型MOSトランジスタを有し、ブルアップ用として機能 ードと人力ノードとの間に接続された第1のNチャネル ャネル型MOSトランジスタ、並びに前記第1の出力ノ トに伝稿圧が共通して印加される第1のCMOS回路 トに第1の信号が印加され、フルダウン用として機能を 【請求項4】 高電圧が印加される高電圧電流と第1の

印加される第4のPチャネル型MOSトランジスタを有 する第1の中間回路と、 CMOS回路の前記第1の出力ノードの銘位がゲートに 圧が印加される低電圧電源との間に接続され前記第1の MOSトランジスタ、及び前記第2の出力ノードと仮稿 記第1の信号がゲートに印加される第3のPチャネル型 前記両電圧電源と第2の出力ノードとの間に接続され前

前配第1の信号を出力する第2の中間回路と、 MOSトランジスタを有し、前記第3の出力ノードより 印加される第5のPチャネル型MOSトランジスタ、及 され出力信号がゲートに印加される第6のPチャネル型 び前記第3の出力ノードと前記低鶴圧電源との間に接続 門祭 1 の中間回路の第 2 の出力ノードの亀位がゲートに 前記高電圧電源と第3の出力ノードとの間に接続され前

れた前配第7及び第8のPチャネル型MOSトランジス 前記南電圧電源と第4の出力ノードとの間に直列接続さ

タ、並びに前記第4の出力ノードとグランドとの間に直列接線された第2及び第3のNチャネル型MOSトランジスタを有し、ブルアップ用として機能する前記第7の Pチャネル型MOSトランジスタのゲートに前記第1の 中間回路の前記第2の出力ノードの程位が印加され、ブルグウン用として機能する前記第3のNチャネル型MOSトランジスタのゲートに前記入力信号の反転信号が印加され、前記第8のPチャネル型MOSトランジスタ及び対記第2のNチャネル型MOSトランジスタのゲートに成電圧が共通して印加され、前記第4の出力ノードより前記出が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグランド電圧の間の版幅を有する信号を外部へ出力する第2のCMOS回路とを備えたことを特徴とするレベル変換回路。

【脚来項5】 両衛圧が印加される高徳圧電源と第1の出力ノードとの間に直列接続された第1及び第2のPチャネル型MOSトランジスタ、並びに前記第1の出力ノードと第1の入力ノードとの間に接接された第1のパケードと第1の入力ノードとの間に接接された第1のパケ・ネル型MOSトランジスタを有し、フルアップ用として機能する前配第1のPチャネル型MOSトランジスタのゲートに第1の信号が印加され、ブルダウン用として機能する前配第1のNチャネル型MOSトランジスタのツースに接続された前配第1の入力ノードに前配高配圧はりも低い低電圧とグランド電圧との間の接端を有する人力信号が印加され、前配第2のPチャネル型MOSトランジスタのキゲートに低電圧が共通して印加される第1のCMOS回路と、

新配高塩圧食液と第2の出力ノードとの間に接続され前配料1の信号がゲートに印加される第3のPチャネル型MOSトランジスタ、及び前配第2の出力ノードと成電圧が印加される底電圧電液との間に接続され前配第1のCMOS回路の前配第1の出力ノードの低位がゲートに印加される第4のPチャネル型MOSトランジスタを有する第1の中間回路と、

財配高低圧復識と第3の出力ノードとの間に接続され前配第1の中間回路の第2の出力ノードの低位がゲートに配第1の中間回路の第2の出力ノードの低位がゲートに印加される第5のPチャネル型MOSトランジスタ、及び約配第3の出力ノードと前配抵電圧電源との間に接続され出力信号がゲートに印加される第6のPチャネル型MOSトランジスタを有し、前配第3の出力ノードより加記第1の信号を出力する第2の中間回路と、

前記高砲圧電線と第4の出力ノードとの間に直列接続された前配第7及び第8のPチャネル型MOSトランジスタ、並びに前配第4の出力ノードと第2の入力ノードとの間に検続された第2のNチャネル型MOSトランジスタを有し、ブルアップ用として機能する前配第1の中間回路の前配第2の出力ノードの電位が印加され、且つブルダウン用として機能する前配第2のNチャネル型MOSトランジスタのソースに接続された前配第2の入力ノ

一ドに前記入力信号の反転信号が印加され、約配第8の Pチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの各ゲートに底電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高程圧とグランド電圧の間の振幅を有する信号を外部へ出力する第2のCMOS回路とを備えたことを特徴とするレベル変数回路。

【開求項6】 前記第1の信号は、前記高電圧と前記低電圧の間の振幅を有する信号であり、該第1の信号を前記出力信号と独立して外部へ出力する構成としたことを特徴とする請求項1乃至請求項5記載のレベル変換回

【尉来頃7】 前記第4及び第6のPチャネル型MOSトランジスタのサブストレートをそれぞれのソース側にを続して、他のPチャネル型MOSトランジスタのサブストレートと分離したことを特徴とする詞求項1乃至胡求項6記載のレベル双核回路。

前記ワベル変換回路は、請求項1乃至請求項1記載のワベル変換回路で構成したことを特徴とする半導体集積回路。

## 【発明の詳細な説明】

[0001]

【発明の興する技術分野】本発明は、異なる健康包圧を有するデジタル回路間のインターフェースとして機能するレベル変換回路、及びこのレベル変換回路を搭載した半導体集積回路に関する。

【従来の技術】MOSトランジスタのフロセスが微細化されるにつれて、許容ゲート酸化原耐圧は下がってきており、0.6μm程度の微細化プロセスでは、その耐圧は4V程度であり、3.3V超減の回路では支降は来さないが、従来から一般に使われてきた5V程源では、通常の論理回路を構成することはできない。従って、許容ゲート酸化原耐圧が5Vよりも低い規稿回路は、3.3V程度の電源電圧で使用せざるを得えない。

【0003】この3、3V系の集積回路と5V電源系の集積回路と5V電源系の集積回路とを組み合わせて使用する場合、低低圧電源系から高低圧電源系への信号伝達が容易でなく、従来では以下に示すような技術を用いて低電圧電源系から高電圧電源系へのレベル変換を行っている。

【0004】図7は、従来より一般的なCMOSレベル 変換回路の構成例を示す回路図である(第1の従来回 略)

【0005】このレベル疾機回路は、同図に示すように、5 V電源(VDD)とグランド間に接続された2段のCMOS回路より構成されている。1段目のCMOS回路より構成されている。1段目のCMOSトランジスタ(以下、単にN-MOSという)101とNチャネル型MOSトランジスタ(以下、単にN-MOSという)102とで構成され、2段目のCMOS回路は、P-MOS103とN-MOS104とで構成されている。

【0006】3V("1"レベル)の入力信号INIが与えられると、N-MOS102がオンし、同時に、0V("0"レベル)の入力信号IN2が与えられてN-V("0"レベル)の入力信号IN2が与えられてN-MOS104はオフする。一方、N-MOS102のオンによりP-MOS103がオンし、このP-MOS103のオンによりP-MOS101がオフする。従って、出力信号OUT1、OUT2はそれぞれ5V、OVとなる。

【0007】また、入力信号 I N I が 3 V から 0 V に変化すると、N - MOS 1 0 2 がオフし、同時に、入力信号 I N 2 が 0 V から 3 V へ変化し N - MOS 1 0 4 はオンする。N - MOS 1 0 4 のオンにより P - MOS 1 0 1 がオンし、その結果、P - MOS 1 0 3 がオフする。
譲って、出力信号 0 U T 1、O U T 2 はそれぞれ 0 V、5 V になる。

【0008】このようにして、本回路では3V危滅系から5V電源系へのレベル変換を行っている。

【0009】図8は、特開平4-150411号公類に開示されたレベル変換回路の構成を示す回路図である(第2の従来回路)。

のノードN12より5V ("1" レベル) に維持された V ("1" レベル) になると、N-MOS 2 1 1 がオン 出力信号OUTが得られる。 11の鑑位は0Vにシフトするので、ラッチ回路200 し、N-MOS212はオフする。その結果、ノードN がそれぞれ5V,0Vである場合に、入力信号1Nが3 信号 I Nの反転信号が印加されるようになっている。 C:3V) 電源を有するインパータ213を介して前記 れ、またN-MOS212のゲートには、麻蝎圧(VC は、低観圧(VCC:3V)電源系の信号INが印加さ れぞれ接続されている。N-MOS211のゲートに 12とグランドの間にはN-MOS211, 212がそ 00を備え、このラッチ回路200のノードN11, N に、高電圧(VIDD:5V)電源を有するラッチ回路2 【0011】ラッチ回路200のノードN11, N12 【0010】このレベル変換回路は、同図に示すよう

【0012】図9は、米国特許公類(U.S.P5300832)に開示されたレベル契数回路の構成を示す回路図である(第3の従来回路)。

【0013】1のワベル変数回路は、ゲート数化原型圧が高超圧電源(5 V)よりも低いMOSトランジスタのみを用い、低電圧電源采から高電圧電源系へのワベル変

(4)

換を行うものである。

【0014】同図に示すように、このレベル変換回路は、MOSトランジスタ300~313からなるレベル変換部と、MOSトランジスタ314~317からなる出力部とで構成されている。レベル変換部は、低能圧(VCC:3V) 電源系の入力信号1Nを入力して、ノードN21、N22にレベル変換用の制御信号を出力する。出力部は、前記レベル変換用の制御信号を出力する。出力部は、前記レベル変換部からの制御信号を受けて、高電圧(VDD:5V)電源系の信号として0V~5Vの出力信号のUT2を出力し、さらに0V~中間電位~5Vの出力信号のUT2を出力し、さらに0V~中間電位の出力信号のUT2を出力し、さらに0V~中間電位の出力信号のUT2を出力するようになっている。

【0015】入均館号INが"0"レベルになると、PーMOS306、307がオンし、ノードN23、N24がフルアップする。ノードN23が"1"レベルになることにより、N-MOS304がオンし、PーMOS301及びN-MOS302を通過する電域報路が形成される。その結果、ノードN25がブルダウンし、PーMOS308がオンする。

【0016】PーMOS308がオンすると、ノードN21が"1"レベルになるだけでなく、PーMOS309及びNーMOS310、311を通過する電話経路が形成され、ノードN22も"1"レベルになる。その結果、PーMOS314がオフし、NーMOS317がオンし、出力信号のUT1は中間館位となる。

【0017】一方、入力信号1Nが"1"レベルになると、N-MOS305、312がオンし、ノードN22/パフルメウンする。ノードN22がブルダウンすることにより、N-MOS317がオフする。そして、ノードN21の値位がVDD(5V)よりも低くなったとき、P-MOS314はオンし、出力信号OUT1、OUT2は5V、出力信号OUT3は中間値位となる。

[8100]

【発明が解決しようとする課題】しかしながら、上記従来のレベル変換回路では次のような問題点があった。 【0019】すなわち、上記簿1の従来回路(図7)では、回路を構成する全てのMOSトランジスタのゲートに高低圧電額レベルの住圧が印加されるので、ゲート酸化限耐圧は高低圧電源レベル以上である必要となる。そのため、ゲート酸化原を厚くし且つゲート長を長くしてのため、ゲート酸化原を厚くし且つゲート表を長くしてのため、ゲート酸化原を厚くし且つゲート表を長くしてのため、ゲート酸化原を厚くしまつゲート表を長くしてのため、ゲート酸化原を厚くしまつゲート表を長くしてのため、ゲート酸化原を厚くしまつゲート表を長くしての大き、ゲート酸化原を厚くしまった。

【0020】また、上記第2の従来回路(図8)でも同様に、ラッチ回路200を構成する2個のインパータの各トランジスタ及びN-MOS211、211を共に、高電圧電源レベル以上のゲート数化膜耐圧を有するトランジスタが必要となる。

6

力部の負荷駆動能力が低下するという問題もあった.. とすると、このゲート的圧は低い値になる。従って、出 Vih) となり、(VB+Vih)が3Vとよりも低い ゲート役圧 (ノード21の低位) は、VIDDー (VB+ がある。また、P-MOS314がオンしているときの **している。このため、連盟な動作ができないという問題** 利用して、P-MOS314のゲート電圧の振幅を制限 2 1の低位が(VB+Vth)に自然と安定する現象を 用)。このP-MOS309がオンしていき、ノードN h) までしか下がらない (Vih:P-MOSの関値包 N21の低位は、"0"フベラためったも(VB+Vi 9のゲートには駐位VBが与えられているため、ノード 21) の振幅を制限している。 つまり、P-MOS30 果を利用してP-MOS314のゲート電圧(ノードN 低く抑えるために、P-MOS309がオフしていく効 が通信用価値アベライでも高いトレンジスタガけが回席 を構成することができる。しかし、P-MOS314の 第1及び第2の従来回路とは異なり、ゲート酸化膜耐圧 ゲート酸化膜耐圧を晒飽圧焰源フベル(V D D)よりも 【0021】一方、上記第3の従来回路(図9)では

【0022】本発明は、上述の何き従来の問題点を解決するためになされたもので、その目的は、ゲート酸化膜 歴任が高田任政旗レベルよりも成いMOSトランジスタ のみで確成でき、静止時の消費成力の増加を抑え、しかも高雄動作が可能で且つ負荷駆動能力も十分なレベル度 起回路を提供することである。またその他の目的は、上記目的に加え、観動作なく的通に動作させることが可能なレベル変換回路を提供することである。その他の目的は、上記目的に加え、適用範囲の広いレベル変換回路を提供することである。さらに、その他の目的は、上記目的に加え、適用範囲の広いレベル変換回路を提供することである。さらに、その他の目的は、上記してなる。さらに、その他の目的は、上記してなる。さらに、その他の目的は、上記してなる。さらに、その他の目的は、上記してなる。さらに、その他の目的は、上記してなる。さらに、その他の目的は、上記してなる。さらに、その他の目的は、上記してなる。さらに、その他の目的は、上記してなる。さらに、その他の目的は、上記していたの機回路を提供することである。

0023

仮傷圧低額との間に接続され前記第1のCMOS回路の OS、及び前記第2の出力ノードと低配圧が印加される 前記第2のP-MOS及び前記第1のN-MOSの各ゲ 質問第1の出力ノードの負債がゲートに印加される第4 ートに低低圧が共通して印加される第1のCMOS回路 ランドの圧との間の短幅を有する入力信号が印加され、 N-MOSのゲートに前記高処圧よりも低い低処圧とグ され前記第1の信号がゲートに印加される第3のPIM 号が印知され、 グッダウン用として機能する前記第2の して破信する前門第1のP-MOSのゲートに第1の信 れた第1及び第2のN-MOSを有し、フルアップ用と に前記第1の出力ノードとグランドとの間に直列扱続さ 列接続された第1及び第2のPチャネル型MOS、並び が印加される高鶴圧電源と第1の出力ノードとの間に函 11、第1の発見ためるフベラ段英回路の特徴は、原始圧 【課題を解決するための手段】上記目的を遠成するため 前記高GJE電源と第2の出力ノードとの間に接続

> する第2のCMOS回路とを備えたことにある。 圧とグランド電圧の間の振幅を有する信号を外部へ出力 **前記第4の出力ノードより前記出力信号として前記高電** のN-MOSの各ゲートに低電圧が共通して印加され、 転信号が印加され、削記第8のP-MOS及び削記第3 する前配第4のN-MOSのゲートに前記入力信号の反 出力ノードの電位が印加され、ブルダウン用として機能 MOSを有し、ブルアップ用として機能する前記第7の P-MOSのゲートに前記第1の中間回路の前記第2の とグランドとの間に直列接続された第3及び第4のN-低源と第4の出力ノードとの間に直列接続された前記第 記第1の信号を出力する第2の中間回路と、前記高電圧 第6のP-MOSを有し、前記第3の出力ノードより前 圧低原との間に接続され出力信号がゲートに印加される 回路の第2の出力ノードの電位がゲートに印加される第 源と第3の出力ノードとの間に接続され前記第1の中間 のP-MOSを有する第1の中間回路と、前記高橋圧電 7及び第8のP-MOS、並びに前記第4の出力ノード 5のP-MOS、及び前記第3の出力ノードと削記低電

荷駆動能力の低下も抑えられる。また、上記MOSトラ を調整することができる。 圧の亀圧源とすることにより、トランジスタのオン抵抗 た前近の第3の従来回路よりも高速に動作し、加えて負 で構成することができる。さらに、与えられた電源レベ ないため、本レベル変換回路は、許容ゲート般化膜耐圧 P-MOSもオンする.. そして、第4のP-MOSがオ **44用フスラウのグランドフスラ(\*0\* フスラ)へ終元** 静的な直流電流バスは存在しない。一方、入力信号が低 第1及び第3のP-MOSがオフする。従って、高電圧 にソースフォロアトランジスタのオフする効果を利用し **小を、オンしたトランジスタた衣のトランジスタのゲー** が隔鶴圧値源レベルよりも低いMOSトランジスタのみ る。これらの作用において、上記名トランジスタのゲー フするため、第5及び第1のP-MOSがオフして直流 した場合は、第4のN-MOSがオンし、これによっ OSがオンし、いれによって筬4のP-MOSがオンす ンジスタに接続される低電圧電源を、個別に異なる低電 トに供給する方式であるため、ゲート配圧の優幅の制限 ト酸化原には静的に低電圧レベルを越える電位が加わら バスが絶たれ、 グランドレベルの出力信号が出力され て、第6のP-MOSがオンする結果、第1及び第3の -MOSがオフ共観にあるのか、ギフベラ解散回路内に 状態では、第1、第3及び第6のP-MOSと第4のN ワベル ( \* 1 \* ワベル) の出力信号が出力される。この これによって第6のP-MOSもオフする。その結果、 入力信号の反転信号により第4のN-MOSはオフし、 る結果、第5及び第7のP-MOSもオンする。一方、 **圧フスラ( \* 1 \* フスラ)たある基合は、第2のN-M** 【0024】この第1の発明によれば、入力信号が低電

【0025】第2の発明であるレベル変換回路の特徴

は、上記第1の発明において、前記第1のCMOS回路における前配第1及び第2のPチャネル型MOSトランジスタの直列オン抵抗は、前記第1及び第2のNチャネル型MOSトランジスタの直列オン抵抗は、前記第1及び第2のNチャネル型MOSトランジスタの直列オン抵抗は、前記第2のCMOS回路における前記第7及び第8のPチャネル型MOSトランジスタの直列オン抵抗は、前記第3及び第4のNチャネル型MOSトランジスタの直列オン抵抗は第4のPチャネル型MOSトランジスタのオン抵抗は第4のPチャネル型MOSトランジスタのオン抵抗は第4のPチャネル型MOSトランジスタのオン抵抗は第4のPチャネル型MOSトランジスタのオン抵抗は第6のPチャネル型MOSトランジスタのオン抵抗は第6のPチャネル型MOSトランジスタのオン抵抗は第6のPチャネル型MOSトランジスタのオン抵抗は第6のPチャネル型MOSトランジスタのオン抵抗は第6のPチャネル型MOSトランジスタのオン抵抗は第6のPチャネル型MOSトランジスタのオン抵抗は第6のPチャネル型MOSトランジスタのオン抵抗は第6のPチャネル型MOSトランジスタのオン抵抗は第6のPチャネル型MOSトランジスタのオン抵抗は第6のPチャネル型MOSトランジスタのオン抵抗は第6のPチャネル型MOSトランジスタのオン抵抗は対した。

【0026】この第2の発明によれば、上記第1の発明の回路を正確に動作させることができる。

第1の中間回路の前記第2の出力ノードの電位が印加さ 第1のPチャネル型MOSトランジスタのゲートに削記 第3の出力ノードより前記第1の信号を出力する第2の OSトランジスタ、及び前配第3の出力ノードと前記係 が印加される低電圧電源との間に接続され前記第1のC カノードとの間に接続された第3のNチャネル型MOS Sトランジスタ、並びに前記第4の出力ノードと前記入 に直列接続された前記第7及び第8のPチャネル型MO 中間回路と、前記高電圧電源と第4の出力ノードとの間 る第6のPチャネル型MOSトランジスタを有し、前記 **電圧電源との間に接続され出力信号がゲートに印加され** る第1の中間回路と、前記高電圧電源と第3の川カノー 加される第4のPチャネル型MOSトランジスタを有す MOS回路の前記第1の出力ノードの亀位がゲートに印 OSトランジスタ、及び前記第2の出力ノードと低地圧 第1の信号がゲートに印加される第3のPチャネル型M 記高電圧電源と第2の出力ノードとの間に接続され前記 低電圧が共通して印加される第1のCMOS回路と、前 ンドとの間に直列接続された第1及び第2のNチャネル トランジスタを有し、ブルアップ用として機能する前記 ードの電位がゲートに印加される第5のPチャネル型M ドとの間に接続され前記第1の中間回路の第2の出力ノ 钙好 1 のNチャネル型MOS トランジスタの各ダートに れ、前紀第2のPチャネル型MOSトランジスタ及び前 とグランド電圧との間の仮幅を有する入力信号が印加さ に接続された入力ノードに前記高電圧よりも低い低電圧 **め町開発2のNチャネラ型MOSトランジスタのゲート** トに第1の信号が印加され、ファダウン用として機能す する創記第1のPチャネル型MOSトランジスタのゲー 型MOSトランジスタを有し、ブルアップ用として機能 OSトランジスタ、並びに前記第1の出力ノードとグラ は、高鶴圧が印加される高鶴圧鶴旗と第1の出力ノード との間に直列接続された第1及び第2のPチャネル型M 【0027】第3の発明であるレベル変換回路の特徴

> 路よりも高速に動作し、加えて負荷駆動能力の低下も抑 のみで回路を構成することができ、前述の第3の従来回 酸化膜耐圧が高端圧缩源よりも低いMOSトランジスタ る。これにより、上記第1の発明と同様に、許容ゲート の作用が行われ、グランドレベルの出力信号が出力され 第3のN-MOSはオンしてその後は第1の発明と同様 Sと第3のN-MOSがオン状態にあるので、ギフベル される。この状態では、第1、第3及び第6のP-MO ベダ)へ既化した場合は、第2のN-MOSがオクし、 入力信号が角砲圧フベラヴのグランドフベラ ("0"フ 変換回路内に静的な直流低流パスは存在しない。 また、 **行い、 腐態圧ァベテ ("1" アベラ) の出力信号が出力** とすることができる。入力信号が低電圧レベル ("1" における第4のN-MOSを省略し、入力信号を1種第 記高電圧とグランド電圧の間の振幅を有する信号を外部 され、前記第4の出力ノードより前記出力信号として前 MOSトランジスタの各ゲートに低電圧が共適して印加 びブルダウン用として機能する前記第3のNチャネル型 れ、且つ前記第8のPチャネル型MOSトランジスタ及 フベル)である場合は、上記第1の発明と同様の作用を 〜出力する第2のCMOS回路とを備えたことにある。 【0028】この第3の発明によれば、上記第1の発明

源との間に接続され出力信号がゲートに印加される第6 出力ノードより削配第1の信号を出力する第2の中間回 のPチャネル型MOSトランジスタを有し、前記第3の 回路の特記第1の出力ノードの低位がゲートに印加され 圧電源と第2の出力ノードとの間に接続され前記第1の ランジスタ、及び前記第3の出力ノードと前記低鶴圧電 協位がゲートに印加される第5のPチャネル慰MOSト 間に接続され前記第1の中間回路の第2の出力ノードの の中間回路と、前記高鶴圧塩源と第3の出力ノードとの る第4のPチャネル型MOSトランジスタを有する第1 される低砲圧電源との間に接続され前記第1のCMOS ランジスタ、及び前記第2の出力ノードと低電圧が印加 信号がゲートに印加される第3のPチャネル型MOSト が共通して印加される第1のCMOS回路と、前記高码 のNチャネル型MOSトランジスタの各ゲートに低電圧 記第2のPチャネル型MOSトランジスタ及び飼記第1 ンド塩圧との間の振幅を有する入力信号が印加され、前 た前紀入力ノードに前記高塩圧よりも低い低塩圧とグラ のNチャネル型MOSトランジスタのソースに接続され 信号が印加され、ファダウン用として機能する的記第 1 OSトランジスタ、並びに前記第1の出力ノードと入力 は、高亀圧が印加される高電圧電源と第1の出力ノード 1のPチャネル型MOSトランジスタのゲートに第1の **ランジスタを有し、フルアップ用として機能する前配筋** との間に直列接続された第1及び第2のPチャネル型M ノードとの間に接続された第1のNチャネル型MOSト 【0029】第4の発明たあるァベル安徽回路の特徴

8

路と、前記馬銭圧電源と第4の出力ノードとの間に直列 協統された前記第7及び第8のPチャネル型MOSトラ ンジスタ、並びに前記第4の出力ノードとグランドとの 間に面列接続された第2及び第3のNチャネル型MOS トランジスタを有し、プルアップ用として機能する前記 第7のPチャネル型MOSトランジスタのゲートに前記 第10中間回路の前記第2のIIIカノードの確位が印加さ れ、プルダウン用として機能する前記第3のNチャネル 型MOSトランジスタのゲートに前記入力信号の反応信 号が印加され、前記第8のPチャネル型MOSトランジスタの 各ゲートに成む圧が共通して印加され、前記第4の出力 ノードより前記出力信号として前記高砲圧とグランド危 圧の間の級額を有する信号を外部へ出力する第2のCM OS回路とを備えたことにある。

【0030】この第4の発用によれば、上記第1の発用における第2のNIMOSを倉職し、入力信号を1億額とすることができる。入力信号がグランドレベル

("0"レベル)である場合は、第1のN-MOSがオンし、その後は上記第1の発明と同様の作用を行い、商程圧レベル("1"レベル)の出力信号が出力される。この状態では、期紀同様に本レベル変換回路内に静的な直域超減バスは存在しない。また、入力信号がグランドレベルから高程圧レベル("1"レベル)へ変化した場合は、第1のN-MOSはオフし、第3のN-MOSがオンして、その後は、第1の発明と同様の作用を行い、グランドレベルの出力信号が出力される。この第4の発明も、許容ゲート般化模制圧が高程圧電源よりも低いMOSトランジスタのみで回路を構成することができ、前途の第3の従来回路よりも高速に動作し、加えて負荷駆動能力の低下も抑えられる。

低低圧が印加される低低圧低減との間に接続され前記第 印加され、前配第2のPチャネル型MOSトランジスタ OSトランジスタ、並びに前記第1の出力ノードと第1 ル型MOSトランジスタ、及び削配第2の出力ノードと れ前記第1の信号がゲートに印加される第3のPチャネ 及び削記第1のNチャネル型MOSトランジスタの各ゲ 低電圧とグランド電圧との間の優幅を有する入力信号が 続された前配第1の入力ノードに前記高砲圧よりも低い 第1の怙号が印加され、フルダウン用として概能する前 哲語第1のPチャネル型MOS トランジスタのゲートに OSトランジスタを有し、フルアップ用として機能する の入力ノードとの間に接続された第1のNチャネル型M 1のCMOS回路の信頼銘1の田カノードの亀位がゲー と、何記高亀圧亀顔と第2の出力ノードとの間に接続さ ートに低砲圧が共通して印加される第1のCMOS回路 **門房 1 のNチャネル型MOS トランジスタのソースに破** との間に直列接続された第1及び第2のPチャネル型M は、高電圧が印加される高電圧電源と第1の出力ノード 【0031】第5の発用たあやレベル変数回路の特徴

> 及び前配第2のNチャネル型MOSトランジスタの各ゲ 回路とを備えたことにある。 間の振幅を有する信号を外部へ出力する第2のCMOS 一下に低鶴圧が共通して印加され、前記第4の出力ノー 印加され、前記第8のPチャネル型MOSトランシスタ れた前記第2の入力ノードに前記入力信号の反転信号が 2のNチャネル型MOSトランジスタのソースに接続さ 位が印加され、且つファダウン用として機能する前記第 能する前記第7のPチャネル型MOSトランジスタのゲ ル型MOSトランジスタ、並びに前記第4の出力ノード ドより前記出力信号として前記高電圧とグランド電圧の ートに前記第1の中間回路の前記第2の出力ノードの電 ル型MOSトランジスタを有し、Dルアップ用として扱 と第2の入力ノードとの間に接続された第2のNチャネ る第2の中間回路と、前記高龍圧電源と第4の出力ノー 加される第6のPチャネル型MOS トランジスタを有 前記低電圧電源との間に接続され出力信号がゲートに耳 ル型MOSトランジスタ、及び前記第3のHIカノードと 出力ノードの電位がゲートに印加される第5のPチャネ カノードとの間に接続され前記第1の中間回路の第2の を有する第1の中間回路と、前記高鶴圧電源と第3の出 ドとの間に直列接続された前記第7及び第8のPチャネ し、前記第3の出力ノードより前記第1の信号を出力す トに印加される第4のPチャネル型MOSトランジスタ

き、前述の第3の従来回路よりも高速に動作し、加えて い、グランドレベルの出力信号が出力される。この第5 Sがオンして、その後は、第1の発明と同様の作用を行 た場合は、第1のN-MOSはオフし、第2のN-MO 的な直流電流バスは存在しない。また、入力借号がグラ 負荷駆動能力の低下も抑えられる。 いMOSトランジスタのみで回路を構成することがで の発明も、許容ゲート酸化膜耐圧が高電圧電源よりも低 ソドフスラから眞徳田フスラ ("1" フスラ) へ後代し MOSがオレ状態にあるので、ギレベル後被回路内に静 態では、第1、第3及び第6のP-MOSと第2のN-る場合は、第1のN-MOSがオンし、その後は上記領 きる。人力信号がグランドラステ("0" フスラ)たあ ベル)の出力信号が出力される。この状態では、この状 1の発明と同様の作用を行い、通亀圧フベル("1"フ における第2及び第4のN-MOSを省略することがで 【0032】この第5の発明によれば、上記第1の発明

【0033】第6の発明であるレベル変換回路の特徴は、上記第1万至第5の発明において、前記第1の信号は、前記高塩圧と前記低塩圧の間の振編を有する信号であり、該第1の信号を前記出力信号と独立して外部へ出力する構成としたことにある。

【0034】この第6の発明によれば、上記第1乃至第 5の発明の回路の適用範囲が広くなる。

【0035】第7の発明であるレベル変換回路の特徴は、上記第1乃至第6の発明において、前記第4及び第

ののアチャネル型MOSトランジスタのサプストワートをそれだれのソース歯に接続して、他のアチャネト型MOSトランジスタのサプストレートと分離したことにある。

【0036】この第7の発明であるレベル変数回路によれば、第4及び第6のP-MOSのゲート酸化膜への食料を一層軽減することができる。

【0037】第8の発明であるレベル変換回路の特徴は、上記第1万至第7の発明において、伝籍圧が印加される低電圧電源とグランドとの間に接続され創配兵電圧とグランドを開出した首号を出力するほとグランド電圧との間の振幅を有する信号を出力する氏電が回路と、前配低電源回路から出力された信号を前配低電圧よりも高い高電圧とグランド電圧との間の振幅を存する信号にレベル変換するレベル変換回路とを備えた半導体集積回路において、前配レベル変換回路とと備えた半導体集積回路において、前配レベル変換回路は、上記第1刀至第7の発明のレベル変換回路で構成したことにある。

【0038】この第8の発用によれば、復務化されたレベル変換回路において、上記第1乃至第7の発明と同僚の作用を奏する。

[0039]

【発明の実施の形態】以下、本発明の実施形態を図面に基力いて説明する。図1は、本発明の第1 実施形態に保めてヘルで設備回路の回路図である(第1、第2及び第6の発明に対応)。

【0040】このレベル変級回路は、高衛圧(5V:VDD)電源とグランドとの間に接続されて、低衛圧(3V・VCC)とグランド電圧(0V)との間の短幅を有する入力信号・1N1を取り込む第1のCMOS回路10と、5V電源とグランドとの間に接続されて、5V~0V間の短幅を有する出力信号のUT1を出力する第2のCMOS回路20と、これら第1及び第2のCMOS回路20と、これら第1及び第2のCMOS回路30、40とを備えている。ここで、これら名回路10~40を構成する全てのMOSトランジスタ(以下に述べる)は、許容ゲート機化膜耐圧が5Vよりも成く且つ3Vよりも高い特性を有している。

【0041】より具体的には、CMOS回路10は、5 V電源とノードN1との間に直列接続されたPIMOS11、12と、前記ノードN1とグランドとの間に直列接続されたNIMOS13、14とで構成されている。 PーMOS11はブルアップ用として機能し、そのゲートには中間回路40の出力(第1の信号)が印加され、さらに、N-MOS14はブルダウン用として機能し、そのゲートには前記入力信号1N1が印加されるようになっている。

【0042】P-MOS12及びN-MOS13は、それぞれP-MOS11及びN-MOS14の過熱圧保護用として設けられ、その各ゲートには3V電源が共通して印加されている。また、P-MOS12のサブストレ

ート (N型ウェル飼袋) は、P-MOS11のサブストワート (N型ウェル飼袋) と共通して5 V電線に接続され、N-MOS13のサブストレートは、N-MOS14のサブストレートと共通してグランドに接続されている

【0043】CMOS回路20は、上記CMOS回路10と同様の架子構成で、5V数数とノードN2との間に直列接続されたPIMOS21、22と、ノードN2とグランドとの間に直列接続されたN-MOS23、24で構成されている。ブルアップ用として機能するPIMOS21のゲートには前記中間回路30の出力が印加され、ブルグウン用として機能するN-MOS24のゲートには前記入力信号1N2が印加されるようになっている。

【0044】一方、中間回路30は、5V電源とノードN3との間に接続され航記中間回路40の出力(第1の信号)がゲートに印加されるP-MOS31と、前記ノードN3と3V電源との間に接続され前記CMOS回路10のノードN1の塔化がゲートに印加されるP-MOS32とで情成されている。また、P-MOS31のサプストレートは、P-MOS32のサプストレートと決適して5V電源に接続されている。

【0045】中間回路40は、上記中間回路30と同様の案子構成で、5V電域とノードN4との間に接続され前記中間回路30のノードN3の電位がゲートに印加されるP-MOS41と、ノードN4と3V電域との間に接続され出力信号OUT1がゲートに印加されるP-MOS42とで構成されている。

【0046】そして、CMOS回覧20のノードN2より、5V("1" レステ)~0V("0" レステ)の顔高で入り筒号IN1と同語の出り信号OCT1が出力され、加えて中間回覧40のノードN415、5V

れ、加えて中間回路40のノードN4より、5V("1"ァスル)〜3V("0"ァスル)町の破路を有し入力信号1N1と同名の出力倍号OUT2が出力されるようになっている。

【0047】ここで、米回路を正確に動作させるために、各トランジスタのオン底抗は大のような条件に較になれている。すなわち、CMOS回路10におけるPIMOS11、12の直列オン底抗は、N-MOS13、14の直列オン底抗は、N-MOS13、14の直列オン底抗は、N-MOS13、14の直列オン底抗は、N-MOS21、2とN-MOS23、24との間にもなされている。直接の設定がCMOS回路20におけるP-MOS21、2とN-MOS32のオン抵抗はP-MOS31のオン抵抗はP-MOS32のオン抵抗はカト本さへなるように、また中間回路40におけるP-MOS41のオン抵抗はP-MOS42のオン抵抗はカト本さへなるように、各々のトランジスタのディメンジョンが設定されている。

【0048】次に、以上のように構成されるレベル変数 回路の動作を説明する。

<u>=</u>

【0049】まず、3V(1レベル)の入力信号1N1が供給された場合の動作を限用する。入力信号1N1が3V(1レベル)であると、この信号1N1がゲートに日加されるN-MOS14はオンし、上記オン抵抗の限定からノードN1は0Vに近い電圧を出力する。その結果、P-MOS32がオンし、ノードN3は3Vに近い電圧を出力し、P-MOS41、21がオンする。

【0050】一方、N-MOS24のゲートには、0V(0レベル)の入力信号1N2が行知されるので、N-MOS24はオフレ、ノードN2の信位は5Vとなる。その結果、P-MOS42がオフレ、P-MOS41はオンレているのでノードN4の結位は5Vになる。ノードN4の結位が5Vになると、P-MOS11、31はオフレ、ノードN1の結位は0Vになり、ノードN3の結位は3Vとなる。従って、出力信号のUT1及びOUT2は、5V(1レベル)となる。

【0051】なお、この状態において、P-MOS11、31、42及びN-MOS24はオフしているので、このレベル変数回路内に静的な直旋電波ベスは存在しない。

【0052】次に入力倍号INIが3V("1"ァベル)から0V(0ァベル)に数化した場合の動作を起展する。

【0053】N-MOS14はオフし、出つP-MOS11はオフしているので、ノードN1の倒位は定まらない。しかし、入力信号1N2は3V(1レベル)であるため、N-MOS24がオンし、このときP-MOS21もオンしているが、ノードN2の鉛位は0Vに近いものとなる。その結果としてP-MOS42がオンし、このときP-MOS41もオンしているが、ノードN4は3Vに近い鉛位になる。

【0054】ノードN4が3Vに近い館位になると、P-MOS11、31がオンし、ノードN1は、N-MOS14が既にオフしているので5Vを出力する。その結果、P-MOS32もオフし、ノードN3の頃位も5Vとなるため、P-MOS41、21はオフして直流館流バスが確たれ、ノードN2は0Vを出力し、ノードN4は3Vを出力する。従って、出力信号OUT1は0V(0レベル)が出力される。

【0055】このような動作において、各トランジスタのゲートとソースまたはドレインあるいはサプストレートとの間に3Vを終える電圧が印加されることはない。但し、P-MOS32及びP-MOS42には、5Vから0Vの優橋の信号が加むり、0Vが加むる時に過渡的に3Vを越える電圧がゲート酸化膜に加むるが、静止状態では、球MOSトランジスタはオンし、ソース・ドレイン間に3V電源に接続されたチャネルが形成され、基板館位の5Vはゲート酸化度からジールドされるので、このゲート酸化膜には静的に3Vを越える電位は加むら

ない。

【0056】このように本実施形態のレベル変換回路では、上記各トランジスタのゲート酸化原には静的に3Vを膨える塩位が加わらないため、許容ゲート酸化原は時耐圧が5Vよりも低いMOSトランジスタのみで回路を構成することができる。これにより、製造プロセスを複雑にしないで低消費電力のレベル変換回路を実現することが可能となる。さらに、与えられた電源レベルを、オンしたトランジスタで次のトランジスタのゲートに供給する方式であるため、ゲート電圧の振幅の制限にソースフォロアトランジスタのオフする効果を利用した前述の第3の従来回路よりも高速動作が可能となるだけでなく、負荷駆動能力の低下も抑えることができる。

【0057】また、本実施形骸では、低電圧レベルは全て3Vになっているが、たとえば2Vの電位が他に存在しているならば、P-MOS12及びP-MOS22のゲートのみを2V電圧滅に接続しても、またP-MOS32及びP-MOS42のドレインのみを2V電圧滅に接続しても回路は正常に動作する。3V電弧に接続されている端子を幅別に他の低電圧レベルに接続することにより、トランジスタのオン病抗を調像し、ディメンジョンの設定に自由度を持たせることができる。

【0058】図2は、本発明の第2支施形態に係るレベルを幾回路の回路図であり、図1と共通の要素には同一の符号が付されている(第3の発明に対応)。

【0059】上記図1に示す構成において、N-MOS23のソースに、直接0Vから3Vの類類を持った入力信号を接続しても回路動作が損なわれることはない。このようなことから、本実施形態は、図1に示す回路のN-MOS24を省略した場合の例を示している。すなわち、上記CMOS回路20に代えて設けられたCMOS2回路20には、N-MOS24を省略してN-MOS23のソースに直接、入力信号1N1を印加した構成となっている。

【0060】このレベル双級回路によれば、入力信号」N1が3V("1"レベル)である場合は、上記第1 波 臨形態と同様の動作を行い、5V("1"レベル)の出 力信号のUT1及びOUT2が出力される。この状態では、P-MOS11、31、42がオフ状態にあり、加 えてN-MOS23もオフしているため、ボレベル変数 回路内に静的な直流電波バスは存在しない。一方、入力信号IN1が3V("1"レベル)から0V("0"レベル)へ変化した場合は、N-MOS14がオフし、N-MOS23がオンするので、第132施形態と同様に出 力信号のUT1が0V("0"レベル)に、出力信号のUT1が0V("0"レベル)に、出力信号のUT1が6V("0"レベル)に、出力信号のUT1が6V("0"レベル)に、

【0061】本実施形態では、上記第1実施形態と同様の利点を有するほか、図1に示すN-MOS24を省略でき、且つ入力信号を1種類とすることができるので、第1実施形態よりも構成が簡素化される。

【〇062】図3は、本発界の第3英語形態に保るアペール契数回路の回路図であり、図1と共通の契禁には同一の符号が付きれている(第4の発界に対応)。

【0063】上記図1に示す構成において、N-MOS13のソースに、直接のVから3Vの振幅を持った入力信号を接続しても回路動作が損なわれることはない。このようなことから、本実施形態は、図1に示す回路のN-MOS14を省略した場合の例を示している。すなわち、上記CMOS回路10に代えて設けられたCMOS回路10'は、N-MOS14を省略してN-MOS13のソースに直接、入力信号1N2を印加した構成となっている。

【0064】コのレベル変数回路によれば、入力信号1N2が0V("0"レベル)であるときには、N-MのS13がオンし、その後は1記第1実施形態と同様の動作が行われ、5V("1"レベル)の出力信号のUT1及びOUT2が出力される。コの状態では、P-MOS11、31、42及びN-MOS24がオフ状態にあるため、本レベル変換回路内に静的穴直流能流べるは存在しない。

【0065】 -- 方、入力信号 I N2が0V("0" アベル)から3V("1" アベル)へ製作した場合は、N-MOS 13がオフする一方方、N-MOS 2 4がオンし、その後は第1次始形値と同様の動作が行われ、H力信号のUT 1が0V("0" アベル)に、出力信号のUT 72が3V("0" アベル)に製化する。

【0066】このように、入力信号1N2に対して逆相の出力信号0UT1及び0UT2が出力される。

【0067】本英語形像では、上記第1英語形態と同様の利点を有するほか、図1に示すNIMOS14を省略でき、且つ入力信号を1種類とすることができるので、第1英語形態よりも構成が簡素化される。

【0068】図4は、本発用の第4実施形骸に係るレベル投機回路の回路図であり、図1と共通の要素には同一の符号が付されている(第5の発明に対応)。

[0069] 上記図1に示す構成において、N-MOS13及びN-MOS23のソースに、直接のVから3Vの振橋を持った入力信号を接続しても回路動作が損なわれることはない。このようなことから、本実施形態は、図1に示す回路のN-MOS14及びN-MOS24を省略した場合の例を示している。すなわち、上記CMOS回路10及び20に代えて数けられたCMOS回路10人び20で代えて数けられたCMOS回路10人び20で代えて数けられたCMOS回路10人び20で代えて数けられたCMOS回路10人び20で代えて数けられたCMOS回路10人び20で1ま、N-MOS14及び24を省略してN-MOS13及び23のソースに直接、それぞれ入力信号1N1及び1N2を印加した構成となっている。

【0070】 このアベル資養回路によれば、入力信号 IN 1が0V ("0"アベル) であるときには、N-MOS 13がオンし、その後は上記第1 実施形態と同様の動作が行われ、5V ("1"アベル)の出力信号のUT 1及びOUT 2が出力される。このとき、P-MOS 1

1、31、42オフ状態にあり、またN-MOS23ののソースには3V("1"レベル)の入力信号1N2が印加されているため、該N-MOS23もオフしている。その結果、この状態では、本レベル変数回路内に静

的な直流電流バスは存在しない。

【0071】 -方、入力信号 IN1が0V("0"レベル)から3V("1"レベル)へ変化した場合は、N-MOS13がオフする一方で、N-MOS23がオンし、その後は第1実施形態と同様の動作が行われ、出力信号のUT1が0V("0"レベル)に、出力信号のUT1が0V("0"レベル)に変化する。

【0072】このように、入力信号INIに対して逆相の出力信号OUT1及びOUT2が出力される。 の出力信号OUT1及びOUT2が出力される。 【0073】本災極形骸では、上記第1災矯形師と同類の利点を有するほか、図1に示すN-MOS14及びN-MOS24を省略できるので、第1疾癌形態よりも概

【0075】本政施形態は、上記図1の構成において、上記中間回路30、40とはサプストレートの接続構成が異なる中間回路30、40。を、上記中間回路30、40。を、上記中間回路30、40に代えて数けたものである。すなわち、上記第1926階間において、アーMOS32及びPーMOS42のオン時に形成されるチャネルにより基板磁位の5Vがゲート酸化膜からシールドされ、数トランジスタのゲート酸化膜には静的には3Vを超える電位は加むらない、低について述べた。1の点について、本央施形像では、アーMOS32及びPーMOS42のサール(サプストレート)を他のPーMOSのN型ウェル(サプストレート)から分離して各々のソースに接続することによって、減PーMOS32及びPーMOS42のゲート酸化膜への食荷をさらに熔滅するようにしたものである。

【0076】この場合の回路動作も上記第1実施形態と 全く同じである。

【0077】図6は、本発明の第6支施形態に係る半導体独積回路の回路図であり、図1と共通の要素には同一の符号が付されている(第8の発明に対応)。

【0078】本実施形態は、上記図1に示したレベル変数回路を集積回路のトライステイトバッファ回路に応用したものである。このトライステイトバッファ回路は、3V系の論理回路50を備え、この論理回路50の出力回が図1に示す構成のレベル変数回路に接続されている。3V系の論理回路50は、データ端子51及びイネーブル端子52を有し、NANDゲート53、インバータ54、55及びNORゲート56で構成されている。さらに、射記レベル変数回路の出力側には、プリバッフフ回路60を介してメインバッファ回路70が接続されて回路60を介してメインバッフフ回路70が接続され

(2)

OS71, 72及びN-MOS73, 74で構成され、 部へ出力信号OUTを出力するようになっている。 その出力に接続された出力パッド80から集積回路のタ 71に供給し、またメインスッファ回路70は、P-N 2で構成され、5V~3V間の損偏の信号をP-MOS 【0079】次に、動作を説明する。イネーブル端子 5 ている。プリバッファ回路60は、P-MOS61,6

**4)が印加され、田ガパッド80は5V(1ァベル)と** ル) が与えられると、P-MOS 7 1のゲートに3 V ス状態になる。一方、イネーブル猫子52に3V **くろ)が臼泊され、田ガジッド80はパイインドーダン** には5V(1 レベル)、N-MOS 7 4には0V(0 レ 2に0V (0レベル) が与えられると、P-MOS 7 1 (0 アベル) 、 N - MOS 7 4 のゲートに O V (0 アベ (\*1" フベラ) 用し炉ータ箱 451に3V (1フベ

ル) 且つデータ塩子51に0V (0レベル) が与えられ た時は、P-MOS71のゲートには3V(0フベ り、トライステイトバッファとして磁能する。 答され、出力ベッド80は0V("0"フベバ)とな ル)、N-MOS 7 4のゲートに3 V(1 レベル)が好 【0080】 洪九、 人 4 一 人 5 穏 午 5 2 江 3 V (1 フェ

省略することも可能である.. 燎燎回路における中西回路40の出力ノードN4(OC T2)に接続することにより、プリバッファ回路70を 【0081】なお、P-MOS71のゲートや、レベル

明を適用することも可能である 3. 3V、低電圧が2Vというような組み合わせで本寮 ス世代では、ゲート数化吸耐圧が3.3V以下になるこ 色旗の場合について説明をしたが、0.25μmデバイ とが予想され、そのデバイス世代において、高旭圧が 【0082】上記各尖施形頗においては5Vと3Vの2

**イメンジョンの設定に自由度を持たせることも可能とな** り、トランジスタのオン抵抗を調整することができ、F 19日 19版を個別に異なる低電圧の電圧版とすることに、 とができる。また、MOSトランジスタに接続される低 作が可能となり、しかも負荷駆動能力の低下も抑えるこ 能となる。さらに、前述の第3の従来回路よりも高速劇 ないで低消費電力のレベル変換回路を実現することが同 ることができる。これにより、製造フロセスを複雑にし 源の損幅から高低圧低源の損幅に信号電圧振幅を変換す 成でき、且つ静止時の消費値力を増すことなく仮鑑圧電 色用色波フベイよりもRMOS トランジスタのみた茶 ためるフベラ奴数回路によれば、ゲート数分既倒圧が済 【発明の効果】以上詳細に説明したように、第1の発明

ることが可能となる。 ば、上記第1の発明の回路を誤動作なく的確に動作させ 【0084】第2の発明であるレベル変数回路によれ

> ば、上記第1の発明よりも簡単な構成で同僚の効果を得 【0085】第3の発用であるアベル段校回路によれ

ることができる。 ば、上記第1の発明よりも簡単な構成で同様の効果を得 【0086】第4の発明であるレベル変数回路によれ

ば、上記第1の発明よりも簡単な構成で同様の効果を得 【0087】第5の発明であるレベル変換回路によれ

ることが可能となる。 ば、上記第1乃至第5の発明の回路の応用範囲を広へす 【0088】第6の発明であるアベル変数回路によれ

第6のP-MOSのゲート酸化膜への負荷を一層軽減す ることが可能となる。 ば、上記第1乃至第6の発明の回路において、第4及び 【0089】第7の発斑たあるフベラ疾被回路によれ

至第7の発明と同僚の効果を得ることができる。 ば、集積化されたワベル変換回路において、上記第1ル 【0090】第8の発明である半導体集積回路によれ

【図面の簡単な説明】

回路図である 【図1】本発明の第1実施形態に係るレベル変換回路の

回路図である 【図2】本発明の第2寅福形橋に保るレベル変数回路の

回路図である 【図4】本発明の第4実施形概に係るレベル変換回路の 【図 3 】 本発明の第 3 岐福形標に座めてベラ疫後回路の

回路図である。 回路図である 【図5】本発明の第5 実施形態に係るレベル変換回路の

回路図である. 【図6】本発明の第6実施形態に係る半導体集積回路の

る (第1の従来回路) 【図1】従来のフバラ仮模回路の構成を示す回路図であ

る(第2の従来回路)。 【図8】従来のレベル変換回路の構成を示す回路図であ

る (第3の従来回路) 【図9】従来のレベル変換回路の構成を斥す回路図であ

【符号の説明】

- 第1のCMOS回路
- 20 第2のCMOS回路
- 第1の中間回路

40

第2の中間回路

- 第1のP-MOS
- 第2のP-MOS
- 第1のN-MOS
- 第2のN-MOS
- 2 1 第7のP-MOS
- 22 第8のP-MOS
- 第2または第3のN-MOS

4 32 3 1 第3のP-MOS 第4のP-MOS 第3または第4のN-MOS  $z_{\omega}$ VDD 5V电流 第2に出力ノード

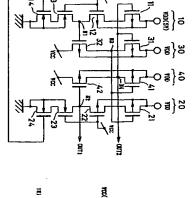
第1の出力ノード 第6のP-MOS

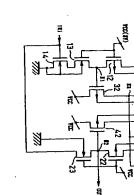
第4の出力ノード

[図]

第5のP-MOS

VCC 3V電源 IN1 人力信号 N4 第3の出力ノード 1N2 入力信号1N1の反転信号





[図4]

